

PAT-NO: JP02000155769A

DOCUMENT-IDENTIFIER: JP 2000155769 A

TITLE: DEVICE AND METHOD FOR LOGIC CIRCUIT
EQUIVALENCE

VERIFICATION

PUBN-DATE: June 6, 2000

INVENTOR-INFORMATION:

NAME

MUKOYAMA, TERU

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP10330366

APPL-DATE: November 20, 1998

INT-CL (IPC): G06F017/50

ABSTRACT:

PROBLEM TO BE SOLVED: To enable correct verification by representing the whole logic circuit as BDD(binary decision diagram) at a time without dividing the flip-flops of the logic circuit to be verified into combination circuits even when the positions of the flip-flops are different.

SOLUTION: The logic circuit equivalence verifying device includes a means 11 which inputs circuit information on logic circuits to be verified, a means 12 which generates a list wherein the circuit elements of the logic circuits such as input terminals, output terminals, logic gates, and flip-flops are arranged in order from the input sides, a means 13 which takes the circuit elements out

of the list in order and generates logic variables or logical expressions for the circuit elements, a means 18 which generates a binary decision diagram by inputting the generated logical expressions, and a means 19 which decides the equivalence of logic by comparing the generated binary decision diagram with the object logic circuits.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-155769

(P2000-155769A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)IntCl.⁷

識別記号

F I

テーマコード(参考)

G 0 6 F 17/50

G 0 6 F 15/60

6 6 4 G 5 B 0 4 6

審査請求 有 請求項の数10 O L (全 9 頁)

(21)出願番号 特願平10-330366

(22)出願日 平成10年11月20日(1998.11.20)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 向山 輝

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100080816

弁理士 加藤 朝道

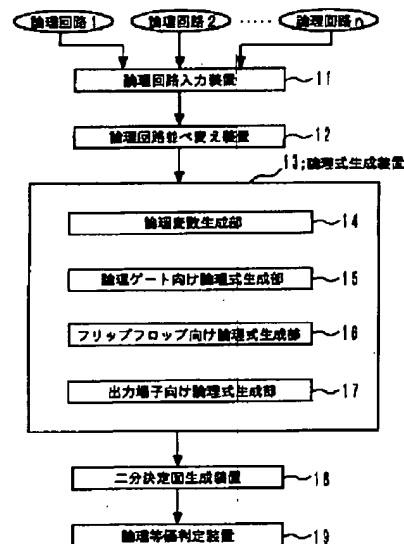
Fターム(参考) 5B046 AA08 BA02 DA05 JA03

(54)【発明の名称】 論理回路等価検証装置及び方法

(57)【要約】

【課題】検証対象の論理回路のフリップフロップの位置が異なる場合でも、フリップフロップについて組合せ回路に分割することなく論理回路全体を一括してBDDで表現し正しく検証することを可能とした論理回路検証装置及び方法の提供。

【解決手段】検証対象の複数の論理回路の回路情報を入力する手段11と、論理回路の入力端子、出力端子、論理ゲート、フリップフロップの各回路素子について、入力側から順に並べたリストを生成する手段12と、該リストから前記回路素子を順に取り出し前記回路素子に対して論理変数又は論理式を生成する手段13と、生成された前記論理式を入力して二分決定図(BDD)を生成する手段18と、前記検証対象の複数の論理回路に対して生成された二分決定図を比較して論理の等価性を判定する手段19と、を含む。



【特許請求の範囲】

【請求項1】論理的に等価であるかどうかの検証の対象となる複数の論理回路の回路情報を入力し、それぞれの論理回路の出力を表す論理式を生成する出力論理式生成手段と、

前記出力論理式生成手段によって生成された論理式を表す二分決定図を生成する二分決定図生成手段と、

前記二分決定図生成手段によって生成された二分決定図を比較することで前記検証の対象となる複数の論理回路が論理的に等価であるかどうかを検証する論理等価性検証手段と、を備えたことを特徴とする論理回路等価検証装置。

【請求項2】論理的に等価であるかどうかの検証の対象となる、フリップフロップを含む複数の論理回路の回路情報を入力する論理回路入力手段と、

前記論理回路入力手段によって入力された前記論理回路に含まれる回路素子を入力側から順に並び替える論理回路並び替え手段と、

前記論理回路並び替え手段によって並べられた回路素子を順に取り出し、それぞれの回路素子に対して論理変数又は論理式を生成する論理式生成手段と、

前記論理回路入力手段によって入力された前記論理回路の出力端子に対して、前記論理回路生成手段によって生成された論理式から二分決定図を生成する二分決定図生成手段と、

前記複数の論理回路について、前記二分決定図生成手段によって生成された二分決定図を比較し論理等価性を判定する論理等価性判定手段と、

を備えたことを特徴とする論理回路等価検証装置。

【請求項3】前記出力論理式生成手段が、前記入力された論理回路の入力信号を添え数字付きの論理変数で表す、ことを特徴とする請求項1又は2に記載の論理回路等価検証装置。

【請求項4】前記出力論理式生成手段が、前記入力された論理回路の入力信号を添え数字付きの論理変数で表し、フリップフロップ毎に、論理変数の添え数字を変化させることでフリップフロップの機能を表すことを特徴とする請求項1乃至3のいずれかに記載の論理回路等価検証装置。

【請求項5】検証対象の複数の論理回路の回路情報を入力する手段と、

前記論理回路に含まれる、入力端子、出力端子、論理ゲート、順序回路をなすフリップフロップの各回路素子について、入力側から順に並べたリストを生成する手段と、

前記生成されたリストから回路素子を順に取り出し前記回路素子に対して論理変数又は論理式を生成する手段と、

生成された前記論理式を入力して二分決定図(BDD)を生成する手段と、

前記検証対象の複数の論理回路に対して生成された二分決定図を比較して論理の等価性を判定する手段と、

を含むことを特徴とする論理回路等価検証装置。

【請求項6】前記論理回路に含まれる前記各回路素子に対して論理変数又は論理式を生成する手段が、

前記論理回路の入力端子に対して、添え字付きの論理変数を生成し前記入力端子と前記生成した論理変数を関連付ける手段と、

前記論理回路の論理ゲートに対して、前記論理ゲートに入力する回路素子に関連付けられた論理変数又は論理式を、前記論理ゲートの論理演算に対応する論理演算式で結合することによって論理式を生成し、前記論理ゲートと前記生成された論理式を関連付ける手段と、

前記論理回路のフリップフロップに対して、前記フリップフロップに入力する回路素子に関連付けられた論理変数又は論理式中の論理変数の添え字を更新させることで新たな論理式を生成し、前記フリップフロップと前記新たな論理式を関連付ける手段と、

前記論理回路の出力端子に対して、前記出力端子を入力する回路素子に関連付けられた論理変数又は論理式を前記出力端子に関連付ける手段と、

を備えていることを特徴とする請求項5記載の論理回路等価検証装置。

【請求項7】(a)検証対象の複数の論理回路の回路情報を入力するステップと、

(b)前記各論理回路について、入力端子、出力端子、論理ゲート、フリップフロップの各回路素子について、入力側から順に並べたリストを生成するステップと、

(c)前記リストから前記回路素子を順に取り出し前記回路素子に対して論理変数又は論理式を生成するステップと、

(d)生成された前記論理式を入力して二分決定図(BDD)を生成するステップと、

(e)前記検証対象の複数の論理回路に対して生成された二分決定図を比較して論理の等価性を判定するステップと、を含む、論理回路等価検証方法。

【請求項8】(c)前記論理回路に含まれる前記各回路素子に対して論理変数又は論理式を生成するステップが、

(c1)前記論理回路の入力端子に対して添え字付きの論理変数を生成し前記入力端子と前記生成した論理変数を関連付けるステップと、

(c2)前記論理回路の論理ゲートに対して、前記論理ゲートに入力する回路素子に関連付けられた論理変数又は論理式を、前記論理ゲートの論理演算に対応する論理演算式で結合することによって論理式を生成し、前記論理ゲートと前記論理式を関連付けるステップと、

(c3)前記論理回路のフリップフロップに対して、前記フリップフロップに入力する回路素子に関連付けられた論理変数又は論理式中の論理変数の添え字を更新させ

ることで新たな論理式を生成し、前記フリップフロップと前記新たな論理式を関連付けるステップと、

(c4) 前記論理回路の出力端子に対して、前記出力端子に入力する回路素子に関連付けられた論理変数又は論理式を前記出力端子に関連付けするステップと、を含む論理回路等価検証方法。

【請求項9】(a) 検証対象の複数の論理回路の回路情報を入力する処理と、

(b) 前記論理回路に含まれる、入力端子、出力端子、論理ゲート、フリップフロップの各回路素子について、10 入力側から順に並べたリストを生成する処理と、

(c) 前記リストから前記回路素子を順に取り出し前記回路素子に対して前記回路素子に対する論理変数又は論理式を生成する処理と、

(d) 生成された前記論理式を入力して二分決定図(BDD)を生成する処理と、

(e) 前記検証対象の複数の論理回路に対して生成された二分決定図を比較して論理の等価性を判定する処理と、を含む、

前記(a)～(e)の各処理を論理回路等価検証装置を構成するコンピュータ上で実行させるためのプログラムを記録した記録媒体。

【請求項10】請求項1記載の記録媒体において、さらに、

(c) 前記回路素子に対する論理式を生成する処理が、(c1) 前記論理回路の入力端子に対して添え字付きの論理変数を生成し前記入力端子を前記生成した論理変数の関連付ける処理と、

(c2) 前記論理回路の論理ゲートに対して、前記論理ゲートに入力する回路素子に関連付けられた論理変数又は論理式を、前記論理ゲートの論理演算に対応する論理演算式で結合することによって論理式を生成し、前記論理ゲートを前記論理式に関連付ける処理と、

(c3) 前記論理回路のフリップフロップに対して、前記フリップフロップに入力する回路素子に関連付けられた論理変数又は論理式中の論理変数の添え字を更新させることで新たな論理式を生成し、前記フリップフロップと前記新たな論理式を関連付ける処理と、

(c4) 前記論理回路の出力端子に対して、前記出力端子に入力する回路素子に関連付けられた論理変数又は論理式を前記出力端子に関連付けする処理と、を含む、

前記(c1)～(c4)の各処理を前記コンピュータ上で実行させるためのプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理回路等価検証装置及び方法に関し、特に、複数の一相同期式論理回路が論理的に等価であるかどうかを検証する論理回路等価検証装置において、BDD(Binary Decision Diagram

m:二分決定図)による論理回路表現に基づいて、複数の論理回路が論理的に等価であるかどうかを検証する論理回路等価検証装置及び方法に関する。

【0002】

【従来の技術】複数の論理回路が論理的に等価であることを検証するために、検証対象のそれぞれの論理回路を、フリップフロップで複数の組合せ回路に分割し、各組合せ回路を表す論理式を生成し、論理が等価かどうかを判定すべき論理式の組合せを決定し、それぞれの組合せにおいて論理式の論理等価性を判定する方法が、従来より用いられている。

【0003】このような従来の方法として、例えば文献1(Malik,S.,et.al., "Logic Verification Using Binary Decision Diagrams in a Logic Synthesis Environment", Proceedings of IEEE International Conference on Computer-Aided Design, pp.6-9,1988.)等の記載が参照される。

【0004】

【発明が解決しようとする課題】従来の論理回路の等価検証方法では、論理回路を論理式によって表現することが必要とされているため、検証できる論理回路は組合せ回路に限られる。このため、記憶素子(フリップフロップ)を含む順序回路に対して、上記従来の方法を適用して論理検証を行う場合、ある段のフリップフロップから、次の段のフリップフロップまでの組合せ回路に分割して、検証を行う必要がある。

【0005】したがって、検証対象の複数の論理回路で、フリップフロップの配置箇所が異なる場合には、たとえ論理回路全体の論理が等しい場合であっても、あるフリップフロップから別のフリップフロップまでの組合せ回路の論理が一致せず、このため、正しく検証を行うことができない、という問題点を有している。

【0006】一例として、図4に示す論理回路の出力信号35と、図5に示す論理回路の出力信号46との論理等価性を検証する場合を考える。従来の等価検証方法では、論理回路をフリップフロップで複数の組合せ回路に分割し、それぞれの組合せ回路を表す論理式を生成し、論理が等価かどうかを判定すべき論理式の組合せを決定し、それぞれの組合せにおいて、論理式の論理等価性を判定している。図4に示す論理回路に対しては、フリップフロップ33で、2つの組合せ回路に分割し、2つの論理式で表し、図5に示す論理回路は、フリップフロップ43とフリップフロップ44で3つの組合せ回路に分割し、3つの論理式で表す。

【0007】このように、従来の等価検証方法では、本来、論理的に等価であると判定されるべき、図4、図5のそれぞれの論理回路で、論理式の数が異なり、論理が等価であるかどうかの判定をする論理式の組合せを正しく決定することができない。

【0008】したがって本発明は、上記問題点に鑑みて

なされたものであり、その目的は、BDDによる論理回路表現に基づいて複数の論理回路が論理的に等価であるかどうかを検証するにあたり、検証対象の論理回路がフリップフロップを含みかつフリップフロップの位置が異なる場合であっても、フリップフロップからフリップフロップまでの組合せ回路に分割することなく、論理回路全体を一括してBDDで表現し正しく検証することを可能とした論理回路検証装置及び方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成する本発明の論理回路等価検証装置は、論理的に等価であるかどうかの検証の対象となる複数の論理回路を入力し、それぞれの回路の出力を表す論理式を出力する出力論理式生成手段と、前記出力論理式生成手段によって生成された論理式を表す二分決定図を生成する二分決定図生成手段と、前記二分決定図生成手段によって生成された二分決定図を比較し前記検証の対象となる複数の論理回路が論理的に等価であるかどうかを検証する論理等価性検証手段とを備えている。

【0010】本発明は、上記論理回路等価検証装置において、前記出力論理式生成手段は、論理回路の入力信号を添え数字付きの論理変数で表し、フリップフロップの機能を論理変数の添え数字の変化によって表すことができる。すなわち、上記目的は、請求項1乃至10のいずれかの本発明によって達成することができる。

【0011】

【発明の実施の形態】本発明の実施の形態について説明する。本発明の論理回路等価検証装置は、その好ましい実施の形態において、検証対象の複数の論理回路の回路情報を入力する手段(図1の11)と、前記論理回路に含まれる、入力端子、出力端子、論理ゲート、順序回路をなすフリップフロップの、各回路素子について、入力側から順に並べたリストを生成する手段(図1の12)と、該リストから回路素子を順に取り出し前記回路素子に対して論理変数又は論理式を生成する手段(図1の13)と、生成された前記論理式を入力して二分決定図(BDD)を生成する手段(図1の18)と、前記検証対象の複数の論理回路に対して生成された二分決定図を比較して論理の等価性を判定する手段(図1の19)と、を備えて構成される。

【0012】本発明は、その好ましい実施の形態において、前記論理回路に含まれる前記各回路素子に対して論理変数又は論理式を生成する手段(図1の13)が、前記論理回路の入力端子に対して、添え数字付きの論理変数を生成し前記入力端子と前記生成した論理変数を関連付ける手段(図1の14)と、前記論理回路の論理ゲートに対して、前記論理ゲートに入力する回路素子に関連付けられた論理変数又は論理式を、前記論理ゲートの論理演算に対応する論理演算式で結合することによって論

理式を生成し、前記論理ゲートと前記生成された論理式を関連付ける手段(図1の15)と、前記論理回路のフリップフロップに対して、前記フリップフロップに入力する回路素子に関連付けられた論理変数又は論理式中の論理変数の添え数字を1つ増加させることで新たな論理式を生成し、前記フリップフロップと前記新たな論理式を関連付ける手段(図1の16)と、前記論理回路の出力端子に対して、前記出力端子に入力する回路素子に関連付けられた論理変数又は論理式を前記出力端子に関連付ける手段(図1の17)と、を備えている。

【0013】本発明の実施の形態において、上記各手段11~19は、データ処理装置上で実行されるプログラムによりその機能・処理を実現するようにしてもよい。この場合、該プログラムを記録したFD又はCD-ROM等の記録媒体から該プログラムをデータ処理装置のメモリに読み出して実行することで、本発明を実施することができる。

【0014】

【実施例】本発明の実施例について図面を参照して詳細に説明する。図1は、本発明の論理回路等価検証装置の一実施例の構成を示すブロック図である。図1を参照すると、検証対象の論理回路の回路情報を入力する論理回路入力装置11と、論理回路中の回路素子(入力端子、出力端子、論理ゲート、フリップフロップ等)を、入力から近い順に並べたリストを生成する論理回路並び変え装置12と、回路素子に対する論理式を生成する論理式生成装置13と、論理式を入力して二分決定図(BDD)を生成する二分決定図生成装置18と、二分決定図を比較して論理の等価性を判定する論理等価性判定装置19と、を含む。

【0015】出力論理式生成装置13は、論理回路の入力端子に対して、添え数字付きの論理変数を生成する論理変数生成部14と、論理回路の論理ゲートに対して論理式を生成する論理ゲート向け論理式生成部15と、論理回路のフリップフロップに対して論理式の論理変数の添え数字を1増加させることによって新たな論理式を生成するフリップフロップ向け論理式生成部16と、出力端子に対して論理式を生成する出力端子向け論理式生成部17と、を備えている。

【0016】二分決定図生成装置18は、出力論理式生成装置1が生成した論理式から二分決定図を生成する。

【0017】論理等価性判定装置19は、二分決定図生成装置2が生成した複数の二分決定図を比較して論理の等価判定を行う。

【0018】図2及び図3は、本発明の一実施例の処理フローを示す流れ図である。図1、図2及び図3を参照して、本発明の一実施例の動作について詳細に説明する。

【0019】まず、論理回路入力装置11が複数の論理回路を入力する(図2のステップA1)。

【0020】論理回路並べ変え装置12は、論理回路の素子（入力端子、出力端子、論理ゲート、フリップフロップ）を入力から近い順に並べたリストを生成する（ステップA2）。例えば、図3に示す回路に対しては、入力端子31、入力信号32、ANDゲート33、フリップフロップ34、出力端子35の順に並べたリストが生成される。

【0021】出力論理式生成装置13は、論理回路並べ変え装置2が生成したリストの順に1つずつ回路素子を取得し（ステップA3）、回路素子に対応した処理の振り分けを行う（ステップA4、A6、A8、A10）。すなわち、入力端子に対しては論理変数生成部14を適用し（ステップA5）、論理ゲートに対しては論理ゲート向け論理式生成部15を適用し（ステップA7）、フリップフロップに対してはフリップフロップ向け論理式生成部16を適用し（ステップA9）、出力端子に対しては出力端子向け論理式生成部17を適用する（ステップA4～A11）。

【0022】より詳細には、論理変数生成部14は、1つの入力信号に対して添え数字が“0”である論理変数を1つ生成し、その入力信号と添え数字付き論理変数を関連づける（ステップA5）。

【0023】論理ゲート向け論理式生成部15は、論理ゲートに入力する回路素子に関連づけられた論理変数または論理式を論理演算子で結合することによって論理式を生成し、その論理ゲートと論理式を関連づける（ステップA7）。

【0024】フリップフロップ向け論理式生成部16は、フリップフロップに入力する回路素子に関連づけられた論理変数または論理式の中の論理変数の添え数字を1増加させることによって論理式を生成し、そのフリップフロップと論理式を関連づける（ステップA9）。

【0025】出力端子向け論理式生成部17は、出力端子に入力する回路素子に関連づけられた論理式または論理変数をその出力端子に関連づける（ステップA11）。

【0026】続いて、リストの全ての回路素子について処理を行ったか否かが判定し（図3のステップA12）、未処理の回路素子が残っている場合、ステップA3に戻り、一方、リストの全くの回路素子の処理が終了している場合、比較する論理回路の出力端子の組み合わせを生成し（ステップA13）、該出力端子に関連付けられた論理式からBDDを生成し（ステップA14）、BDDを比較することで論理式の論理等価性の検証を行う（ステップA15）。

【0027】本発明の一実施例の動作について具体的に説明すべく、図4に示した論理回路に即して説明する。

【0028】例えば、図3に示す論理回路に対しては、まず入力端子31と入力端子32に対して、論理変数生成部14を適用し、添え数字“0”を持つ論理変数a_0

0とb_0をそれぞれ生成し、入力端子31と32にそれぞれ関連づける。次に、論理ゲート33に対しては論理ゲート向け論理式生成部15を適用する。

【0029】論理ゲート向け論理式生成部15は、論理ゲート33がANDゲートであることを識別し、入力端子31と32に対して関連づけられた論理変数a_0とb_0を論理演算子“AND”で結合した論理式、すなわち、

“a_0 AND b_0”

を生成し、論理ゲート33に関連づける。

【0030】次に、フリップフロップ34に対してはフリップフロップ向け論理式生成部16を適用する。フリップフロップ向け論理式生成部16は、論理ゲート33に関連づけられた論理式“a_0 AND b_0”の論理変数“a_0”と“b_0”に対して、添え数字をそれぞれ1増加させ、

新たな論理式“a_1 AND b_1”

を生成し、フリップフロップ34に関連づける。

【0031】最後に、出力端子35に対しては出力端子向け論理式生成部17を適用し、フリップフロップ34に関連づけられた論理式“a_0 AND b_0”をそのまま出力端子35に関連づける。

【0032】二分決定図生成装置17は、出力端子に関連づけられた論理式から二分決定図を生成する。これには、例えば上記文献1に記載されている公知の方法が用いることができる。

【0033】論理等価性判定装置18は、二分決定図生成装置17が生成した二分決定図の形状の等価判定によって、論理式の論理等価性を判定する。

【0034】次に、本発明の一実施例の作用効果について説明する。

【0035】本発明の一実施例では、フリップフロップを含む論理回路全体の論理を論理式によって表現することができる。このため、従来の方法で検証が出来なかった、フリップフロップを含み、かつ、フリップフロップの位置が異なる複数の論理回路の論理等価検証が可能となる。

【0036】例えば、図4に示す論理回路の出力信号35と、図5に示す論理回路の出力信号46との論理等価性を検証する場合を考える。

【0037】上記したように、従来の方法では、論理回路をフリップフロップで複数の組合せ回路に分割し、それぞれの組合せ回路を表す論理式を生成し、論理が等価かどうかを判定すべき論理式の組合せを決定し、それぞれの組合せにおいて論理式の論理等価性を判定する。図4に示した論理回路については、フリップフロップ33で、2つの組合せ回路に分割し、2つの論理式で表す。一方、図5に示した論理回路については、フリップフロップ43と44で3つの組合せ回路に分割し、3つの論理式で表す。

【0038】このように、それぞれの論理回路で論理式の数が異なり、論理が等価であるかどうかの判定をする論理式の組合せが正しく決定できない。

【0039】これに対して、本発明の一実施例では、図4に示した論理回路の出力信号35の論理を、“a_1 AND b_1”という論理式で表し、一方、図5に示した論理回路の出力信号46の論理を、“a_1 AND b_1”という論理式で表す。

【0040】このように、図4、図5に示したそれぞれの論理回路の出力信号を、1つずつの論理式で表すため、この2つの論理式の論理等価判定によって、論理回路の等価検証することがができる。

【0041】本発明の一実施例によれば、図4、図5に示した論理回路のように、フリップフロップを含み、かつフリップフロップの位置が異なるような複数の論理回路についても、これらの出力信号の論理が等価であるかどうかの検証することがができる。フリップフロップ間の遅延を調整するために、フリップフロップの位置を変更する作業は、実際の論理回路設計ではよく行われているが、本発明の一実施例によれば、この変更作業の前と後とで論理回路の論理が等価であることを検証することが

【0042】

【発明の効果】以上説明したように、本発明によれば、フリップフロップを含み、かつフリップフロップの位置が異なるような複数の論理回路でも、それらの出力信号の論理が等価であるかどうかの検証することができ、という効果を奏する。

【0043】その理由は、本発明においては、論理的に等価であるかどうかの検証の対象となる複数の論理回路

を入力し、それぞれの回路の出力を表す論理式を出力する出力論理式生成手段を備え、前記出力論理式生成手段によって生成された論理式を表す二分決定図を生成し、生成された二分決定図を比較し前記検証の対象となる複数の論理回路が論理的に等価であるかどうかを検証するようにしたためである。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】本発明の一実施例の動作を説明するための流れ図（その1）である。

【図3】本発明の一実施例の動作を説明するための流れ図（その2）である。

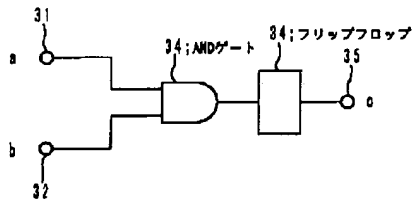
【図4】本発明の一実施例を説明するための図であり、論理回路入力装置が入力する論理回路の例を示す図である。

【図5】本発明の一実施例を説明するための図であり、論理回路入力装置が入力する論理回路の例を示す図である。

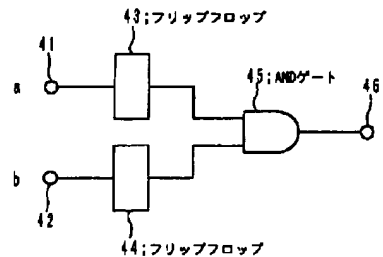
【符号の説明】

- 11 論理回路入力装置
- 12 論理回路並び替え装置
- 13 論理式生成装置
- 18 二分決定図生成装置
- 19 論理等価性判定装置
- 14 論理変数生成部
- 15 論理ゲート向け論理式生成部
- 16 フリップフロップ向け論理式生成部
- 17 出力端子向け論理式生成部

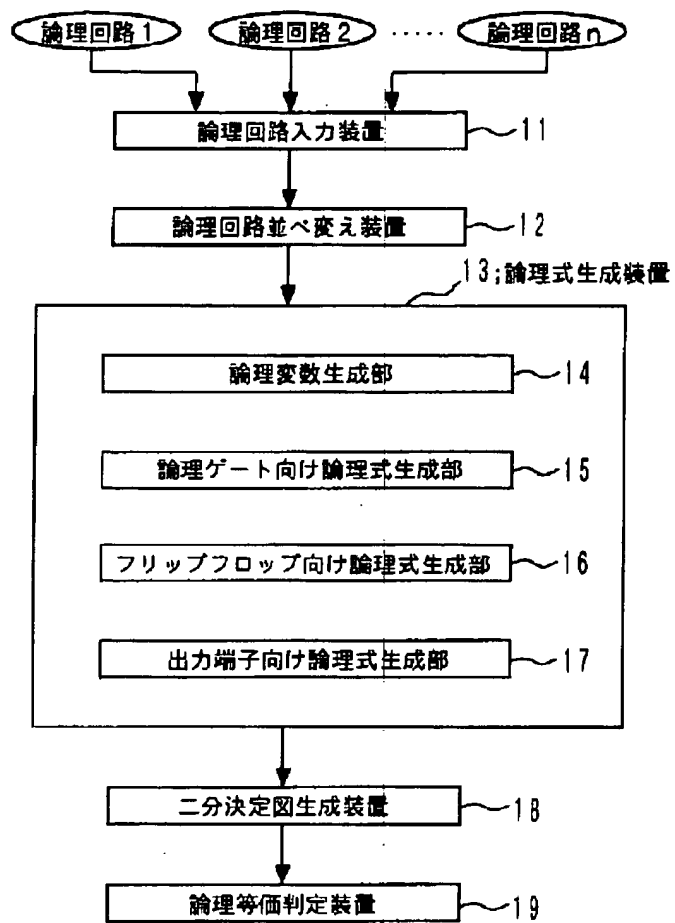
【図4】



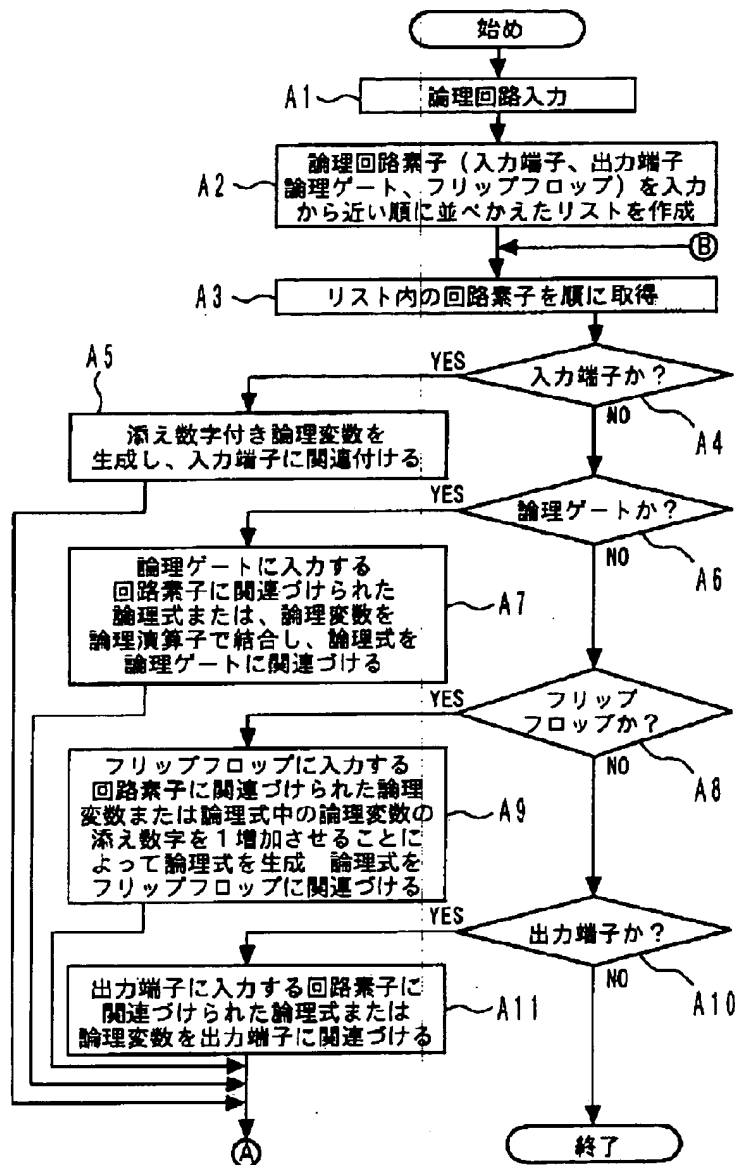
【図5】



【図1】



【図2】



【図3】

